



Docket No.: S&ZIO031002

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: November 12, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/690,001  
Applicant : Martin Brox  
Filed : October 21, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : S&ZIO031002  
Customer No.: 24131

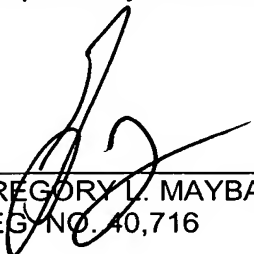
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 49 016.3 filed October 21, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: November 12, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 49 016.3

**Anmeldetag:** 21. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Mehrpegeltreiberstufe

**IPC:** H 04 L, H 03 F

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 22. Oktober 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Wehner

Patentanwälte · Postfach 710867 · 81458 München  
**Infineon Technologies AG**  
**St.-Martin-Str. 53**  
  
**81669 München**

## PATENTANWÄLTE

European Patent Attorneys  
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.  
Tankred Zimmermann, Dipl.-Ing.  
Ferdinand Stöckeler, Dipl.-Ing.  
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0  
Telefax/Facsimile 089/790 22 15  
Telefax/Facsimile 089/74996977  
e-mail: szsz\_iplaw@t-online.de

---

**Mehrpegeltreiberstufe**

---

## Beschreibung

### Mehrpegeltreiberstufe

- 5 Die vorliegende Erfindung bezieht sich auf Treiberstufen zum Treiben eines Ausgangs auf einen von n-Pegeln, wie sie beispielsweise bei der Mehrpegelsignalisierung einsetzbar ist.
- 10 Die Mehrpegelsignalisierung erfreut sich eines zunehmenden Interesses für Busschnittstellen mit hoher Bandbreite. Eine gesonderte Stellung nehmen zur Zeit Mehrpegelsignalisierungstechniken ein, bei denen zwei Bits zu einem Taktzyklus bzw. an einer Taktflanke gleichzeitig übertragen werden. Um
- 15 dies zu erzielen, wird der Bus auf einen von vier unterschiedlichen Pegeln getrieben, die dann empfangsseitig durch eine einfache Zwei-Bit-Analog/Digital-Umwandlung dekodiert werden können.
- 20 Die US-6,140,841 beschreibt eine Hochgeschwindigkeits-schnittstellenvorrichtung, die eine Datentreibereinrichtung zum Dekodieren von 2-Bit-Datensignalen, um 4-Pegel-Datensignale zu erhalten, eine Referenzspannungserzeugungseinrichtung zum Erzeugen von Mehrpegelreferenzspannungen,
- 25 um die Spannungspegel der Vierpegeldatensignale unterscheiden zu können, und eine Empfängereinrichtung zum gleichzeitigen Vergleichen der Vierpegeldatensignale mit den Mehrpegelreferenzspannungssignalen, um abhängig vom Vergleich 2-Bit-Datensignale auszugeben, aufweist. Ein Beispiel einer
- 30 Datentreibereinrichtung umfaßt drei n-Kanal-MOS-Transistoren, die parallel zwischen Masse und die Übertragungsleitung geschaltet sind, die über Abschlußwiderstände auf eine Abschlußspannung vorgespannt ist. Die Kanalweiten der Transistoren betragen jeweils  $2W_N$ . Durch zu- und abschalten der
- 35 jeweiligen Transistoren wird die Gesamtkanalweite stufenweise um  $2W_N$  geändert, wodurch auch der Treiberstrom und die Treiberspannung auf der Übertragungsleitung stufenweise äquidistant geändert werden. Jede der sich ergebenden vier

möglichen Spannungswerte bzw. Spannungspegel ist eine Kombination von Bitwerten der 2-Bit-Datensignale zugeordnet. Die Referenzspannungen werden auf die zentriert zwischen den möglichen vier Spannungspegeln liegenden Spannungen eingestellt. Ein weiteres Beispiel für die Datentreibereinrichtung sieht zwei parallel zwischen die Versorgungsspannung und die Übertragungsleitung geschaltete p-Kanal-MOS-Transistoren und zwei zwischen Masse und die Übertragungsleitung geschaltete n-Kanal-MOS-Transistoren vor. Die Transistorweite jeweils eines der Paare von Transistoren ist doppelt so groß wie diejenige des anderen des jeweiligen Paares von Transistoren. Durch Zu- und Abschalten bzw. An- und Ausschalten der Transistoren werden vier unterschiedliche Spannungspegel erzeugt, die zueinander äquidistant um eine Spannungsdifferenz angeordnet sind.

Nachteilhaft an der Hochgeschwindigkeitsschnittstellenvorrichtung der US-6,140,841 ist, daß bei Anwendung dieser Vorrichtung entweder schwerwiegende Übertragungsfehler auftreten, oder daß aufwendige Anpassungen der Referenzspannungen notwendig sind, um diese Übertragungsfehler zu vermeiden.

Die Aufgabe der vorliegenden Erfindung besteht darin, eine Treiberstufe zum Treiben eines Ausgangs auf einen von n Pegeln sowie ein Herstellungsverfahren für dasselbe zu schaffen, so daß bei Anwendung derselben zur Mehrpegelübertragung empfangsseitig weniger Fehler auftreten.

Diese Aufgabe wird durch eine Treiberstufe gemäß Anspruch 1 und ein Verfahren gemäß Anspruch 8 gelöst.

Eine erfindungsgemäße Treiberstufe zum Treiben eines Ausgangs auf einen von n-Pegeln, die jeweils um eine Spannungsdifferenz von  $\Delta V$  voneinander beabstandet sind, umfaßt eine Mehrzahl von Feldeffekttransistoren zum Treiben des Ausgangs durch Zuleiten oder Ableiten eines Stroms zu oder von dem Ausgang, wobei das Verhältnis der Kanalweiten zu-

mindest zweier Feldeffekttransistoren, die beide entweder zum Zuleiten oder zum Ableiten von Strom dienen, abhängig von dem Wert der Spannungsdifferenz eingestellt ist.

5 Die Erkenntnis der vorliegenden Erfindung besteht darin, daß die einfache Skalierung der Kanalweiten derart, daß das Verhältnis der Kanalweiten der jeweils aktivierten Hoch-  
zieh- bzw. Push-Transistoren, also der jeweils stromzufüh-  
renden Feldeffekttransistoren, oder der jeweils aktivierten  
10 Herunterzieh- bzw. Pull-Transistoren, also der jeweils stromabführenden Feldeffekttransistoren, gleich dem Verhältnis der gewünschten Spannungspegeländerungen ist, zu Fehlern bei der empfangsseitigen Dekodierung bzw. Ana-  
log/Digital-Umwandlung führt, und daß statt dessen das Ver-  
15 hältnis der Kanalweiten unter den Pull- bzw. Push-Feldeffekttransistoren abhängig von dem gewünschten Wert der Spannungsdifferenz zwischen den erwünschten n Ausgangs-Pegeln einzustellen ist.

20 Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

25 Figur 1: ein Schaltbild einer Treiberstufe gemäß einem Ausführungsbeispiel der vorliegenden Erfindung; und

Figur 2a-2c: entlang einer Spannungsachse aufgetragene Sollspannungspegel sowie zugehörige Gültigkeitsbereiche für  
einen den Fall eines frei wählbaren Spannungsunterschieds,  
30 eines Spannungsunterschieds von einem Viertel der Versorgungsspannung bzw. eines Spannungsunterschieds von einem Drittel der Versorgungsspannung.

35 Im nachfolgenden wird bezugnehmend auf die Figuren 1 und 2 ein Ausführungsbeispiel für eine Treiberstufe beschrieben, die als Mehrpegelübertragungsschnittstelle anwendbar ist. Andere Anwendungen sind jedoch ebenfalls denkbar. Sie ist in MOS-Technologie realisiert und für einen Spannungsmodus-

treiberbetrieb geeignet und muß nicht einen Spannungsmodus-  
treiberbetrieb verwenden. Dies ist darin vorteilhaft, daß  
der Strommodustreiberbetrieb durch die DDR-SDRAM-SSTL-  
Schnittstellenspezifikation weite Verbreitung gefunden hat  
5 (DDR = Double Data Rate; SDRAM = Synchronous Dynamic Random  
Access Memory; SSTL = Stub-Series-Terminated Logic). Die  
Erfindung ist aber nicht auf die Anwendung bei dieser  
Schnittstellenspezifikation beschränkt. Insbesondere be-  
zieht sich die nachfolgende Beschreibung auf eine Vierpe-  
10 gel-Treiberstufe, wobei die Erfindung jedoch auch auf ande-  
re Mehrpegelverfahren mit  $n > 2$  anwendbar ist.

Die Treiberstufe von Figur 1, die allgemein mit 10 ange-  
zeigt ist, gliedert sich im wesentlichen in drei Teile,  
15 nämlich einen Push/Pull-(Hochzieh/Runterzieh-) Schaltungs-  
teil 12 und einen Umkodierer 16. Zusätzlich gezeigt ist der  
externe Leitungsabschlußschaltungsteil 14. Der Push/Pull-  
Schaltungsteil 12 umfaßt vier Feldeffekttransistoren, näm-  
lich zwei pMOS-Transistoren 12a und 12b und zwei nMOS-  
20 Transistoren 12c und 12d. Die pMOS-Transistoren 12a und 12b  
sind mit ihrer Drain/Source-Strecke parallel zueinander  
zwischen eine Versorgungsspannung  $V_{DDQ}$  und die Übertragungs-  
leitung geschaltet, auf welcher die Treiberstufe 10 einen  
von vier Spannungspegeln erzeugen soll, wobei die Übertra-  
25 gungsleitung in Figur 1 mit 18 angezeigt ist. Die nMOS-  
Transistoren 12c und 12d sind auf ähnliche Weise parallel  
zueinander mit ihren Source/Drain-Strecken zwischen Masse  
und die Übertragungsleitung 18 geschaltet.

30 Die Gate-Anschlüsse der Transistoren 12a - 12d werden von  
Signalen  $S_{P1}$ ,  $S_{P2}$ ,  $S_{N1}$  und  $S_{N2}$  gesteuert, die dieselben von dem  
Umkodierer 16 erhalten, der dieselben wiederum gemäß einem  
eindeutigen Aktivierungsschema bzw. einer eindeutigen Zu-  
ordnungsvorschrift abhängig von den Bitwerten zweier einge-  
35 hender Bitsignale einstellt, nämlich Bit 0 und Bit 1. Diese  
Bits stellen die zu übertragenden Information dar, nämlich  
einen von vier Zuständen bzw. Spannungspegeln, die in einem

Taktzyklus bzw. an einer Taktflanke übertragen werden sollen.

Der externe Übertragungsleitungsabschlußschaltungsteil 14 umfaßt zwei Abschlußwiderstände 14a und 14b, die in Reihe zwischen das freie, nicht mit den Transistoren 12a - 12d des Push/Pull-Schaltungsteils 12 verbundenen Ende der Übertragungsleitung 18 und einen Übertragungsleitungsabschlußvorspannungsanschluß 14c geschaltet sind, an dem die Abschlußspannung  $V_{tt}$  anliegt, um die Übertragungsleitung 18 über die Widerstände 14a und 14b auf die Abschlußspannung  $V_{tt}$  vorzuspannen. Vorliegend beträgt die Abschlußspannung  $V_{tt}$  exemplarisch die Hälfte der Versorgungsspannung  $V_{DDQ}$ . Beide Widerstände 14a und 14b weisen einen Widerstandswert von beispielsweise 25 Ohm auf. Ferner umfaßt der Übertragungsleitungsabschlußschaltungsteil 14 eine kapazitive Last 14d, die typischer Weise zwischen den beiden Widerständen 14a und 14b auftritt. Die kapazitive Last 14d weist eine Kapazität  $C_L$  auf, die beispielsweise 30 fF beträgt.

Der Ausgang, an welchem die Treiberstufe 10 einen von vier vorbestimmten Spannungspegeln erzeugen soll, und an welchem Empfangsschaltungen (nicht gezeigt) zur Analog/Digitalwandlung anzuschließen sind, ist in Figur 1 mit 20 angezeigt, und ist mit der Übertragungsleitung 18 an einem Punkt zwischen dem Push/Pull-Schaltungsteil 12 und dem Übertragungsleitungsabschlußschaltungsteil 14 verbunden.

Nachdem im vorhergehenden der Aufbau der Treiberstufe 10 beschrieben worden ist, wird im folgenden die Funktionsweise derselben bzw. deren erwünschte Funktionsweise beschrieben, wobei auf die Einstellung der Kanalweiten der Transistoren 12a - 12d eingegangen wird, die notwendig ist, damit die Treiberstufe 10 bestimmte Sollkriterien, wie zum Beispiel den Sollspannungsunterschied zwischen den vier Ausgangsspannungspegeln, erfüllt.



- Die Übertragungsleitung 18 ist über den Übertragungsleitungsabschlußanschluß 14c bei ausgeschalteten bzw. nichtleitend-geschalteten Transistoren 12a - 12d auf die Abschlußspannung  $V_{tt} = V_{DDQ} / 2$  vorgespannt. Die Übertragungsleitung 18 von Figur 1 entspricht somit einem Standard-SSTL-Bus mit einem Abschluß bei  $V_{tt}$ . Durch An- und Ausschalten einer vorbestimmten Auswahl der Transistoren 12a - 12d wird Strom von der Übertragungsleitung 18 auf Masse abgeleitet bzw. von der Versorgungsspannung  $V_{DDQ}$  zugeleitet, wodurch die Spannung  $V_D$  auf der Übertragungsleitung 18, die ja gleichzeitig die Drain-Spannung an den Transistoren 12a - 12d darstellt, gesenkt bzw. erhöht. Genauer ausgedrückt, bewirkt die Zu- oder Ableitung von Strom einen Spannungsabfall über die beiden Widerstände 14a und 14b, durch welchen an dem Ausgang 20 bzw. der Übertragungsleitung 18 ein Spannungspegel zwischen  $V_{DDQ}$  und  $V_{tt}$  in dem Fall der Zuleitung von Strom und eine Spannung zwischen Masse und  $V_{tt}$  in dem Fall der Ableitung erzeugt wird.
- Um eine möglichst einfache empfangsseitige Dekodierung des von der Treiberstufe 10 erzeugten 4-Pegel-Signals zu ermöglichen, sollen die vier Spannungspegel im vorliegenden Ausführungsbeispiel äquidistant zwischen Masse und  $V_{DDQ}$  angeordnet sein. Die Sollspannungswerte gemäß dem vorliegenden Ausführungsbeispiel für eine noch nicht spezifizierte Spannungsdifferenz  $\Delta V$  ist in Figur 2a gezeigt.

Figur 2a zeigt mit virtuellen Einheiten aufgetragen über eine Spannungsachse 30 auf der linken Seite der Achse 30 die Sollspannungspegel. Wie es zu sehen ist, sind die Sollspannungspegel symmetrisch zur Abschlußspannung  $V_{tt}$  angeordnet. Zudem ist jeder Sollspannungspegel einer der möglichen vier Kombinationen von Eingangsbits, nämlich 00, 01, 10 und 11, zugeordnet, wie es in den eckigen Klammern angedeutet ist.

Ferner ist in Figur 2a mit schraffierten Bereichen links der Achse 30 für jeden der vier Sollspannungspegel ein

schraffierter Gültigkeitsbereich gezeigt. Jedem Sollspannungspegel ist ein Gültigkeitsbereich zugeordnet und ist innerhalb desselben zentriert angeordnet. Die Gültigkeitsbereiche grenzen aneinander und bilden somit einen durchgehenden Spannungsbereich ohne Lücken. Je nach dem, in welchen der Gültigkeitsbereiche der Spannungspegel am Ausgang 20 der Treiberstufe 10 fällt, wird empfangsseitig der empfangene Signalpegel der entsprechenden zu übertragenden Bitkombination zugeordnet. Dies wird durch Vergleich der am Ausgang 20 anliegenden Spannung mit Referenzspannungen durchgeführt, die auf der rechten Seite der Achse 30 angegeben sind und die Grenzwerte der aneinanderliegenden Grenzbereiche darstellen, die zwei benachbarte Gültigkeitsbereiche voneinander trennen, d.h.  $V_{tt} + \Delta V$ ,  $V_{tt}$  und  $V_{tt} - \Delta V$ . Nähere Details bezüglich des Empfangs und der Dekodierung des erzeugten 4-Pegel-Spannungssignals können der US6,140,841 entnommen werden, die hiermit unter Bezugnahme aufgenommen wird.

Aufgrund der Begrenzung durch die Versorgungsspannung  $V_{DDQ}$  wird klar, daß der Spannungsunterschied  $\Delta V$  auf Spannungswerte kleiner  $V_{DDQ}/2$  eingeschränkt ist, da ansonsten zwei der vier Gültigkeitsbereiche außerhalb möglicher Spannungswerte liegen, nämlich die Gültigkeitsbereiche der Bitkombinationen 11 und 00. In Tabelle 1 sind für jede mögliche Bitkombination der Eingangsbitsignale (erste Spalte) die Werte für die Soll- bzw. Zielspannung auf der Übertragungsleitung 18 (mittlere Spalte) und der zugehörige Gültigkeitsbereich (rechte Spalte) in Abhängigkeit von der erwünschten Signaldifferenz zwischen den Sollsignalpegeln angegeben.

Tabelle 1

| Bitkombination | Sollspannungspegel      | Gültigkeitsbereich             |
|----------------|-------------------------|--------------------------------|
| 00             | $V_{tt} - 3/2 \Delta V$ | $[0; V_{tt} - \Delta V]$       |
| 01             | $V_{tt} - 1/2 \Delta V$ | $[V_{tt} - \Delta V; V_{tt}]$  |
| 10             | $V_{tt} + 1/2 \Delta V$ | $[V_{tt}; V_{tt} + \Delta V]$  |
| 11             | $V_{tt} + 3/2 \Delta V$ | $[V_{tt} + \Delta V; V_{DDQ}]$ |

- 5 In den Figuren 2b und 2c sind zwei explizite Auftragungen für Sollspannungswerte und zugehörige Gültigkeitsbereiche gezeigt, die sich aus der Darstellung von Figur 2a durch Setzen von  $\Delta V$  auf  $V_{DDQ} / 4$  bzw. auf  $V_{DDQ} / 3$  ergeben. Die Zahlen in den eckigen Klammern bedeuten die Bitkombinationen, denen der jeweilige Sollspannungspegel bzw. dem denselben zugeordneten Gültigkeitsbereich zugeordnet ist.

- Den in Figuren 2a - 2c gezeigten Sollspannungspegel werden, wie es im vorhergehenden beschrieben wurde, erzielt, in dem eine vorbestimmte Auswahl der Transistoren 12a - 12d ein- bzw. ausgeschaltet wird, um Strom von dem Eingang 20 abzuleiten bzw. zu demselben hinzuleiten, wodurch die Spannung an dem Ausgang 20 herunter- bzw. heraufgezogen wird. Die Ansteuerung bzw. Aktivierung der Transistoren 12a - 12d übernimmt hierbei der Umkodierer 16, der die Eingangsbitsignale nach dem in der nachfolgenden Tabelle 2 gezeigtem Aktivierungsschema bzw. der in derselben gezeigten Abbildungsvorschrift in einen unterschiedlichen Satz von Ansteuersignalen  $S_{P1}$ ,  $S_{P2}$ ,  $S_{N1}$ ,  $S_{N2}$  umwandelt, so daß jeweils unterschiedliche Transistoren 12a - 12d ein- bzw. ausgeschaltet sind.

Tabelle 2

| Bitkombination | $S_{N1}$  | $S_{N2}$  | $S_{P1}$  | $S_{P2}$  |
|----------------|-----------|-----------|-----------|-----------|
| 00             | $V_{DDQ}$ | $V_{DDQ}$ | $V_{DDQ}$ | $V_{DDQ}$ |
| 01             | $V_{DDQ}$ | 0V        | $V_{DDQ}$ | $V_{DDQ}$ |

|    |    |    |    |           |
|----|----|----|----|-----------|
| 10 | 0V | 0V | 0V | $V_{DDQ}$ |
| 11 | 0V | 0V | 0V | 0V        |

Wie es aus Tabelle 2 hervorgeht, aktiviert der Umkodierer 16 in dem Fall einer eingehenden Bitkombination von 00, die nach Figur 2a dem niedrigsten Sollspannungspegel entspricht, beide Pull-Transistoren 12c und 12d und deaktiviert die Push-Transistoren 12a und 12b, indem er die Gates der erstgenannten mit  $V_{DDQ}$  und die Gates der letztgenannten mit  $V_{DDQ}$  ansteuert. Hierdurch sperren die Transistoren 12a und 12b. Die Transistoren 12c und 12d leiten Strom an Masse ab, wodurch der Spannungsabfall über die Widerstände 14a und 14b eine Verringerung der Spannung an dem Ausgang 20 bewirkt. Bei einer Bitkombination von 01 wird nur der Transistor  $N_{N1}$  aktiviert. Folglich wird weniger Strom abgeleitet, wodurch auch der Spannungsabfall an den Widerständen 14a und 14b und damit die Spannungsverringernug an dem Ausgang 20 geringer ist.

Umgekehrt aktiviert der Umkodierer 16 in dem Fall der Bitkombination 11 beide Push-Transistoren 12a und 12b und deaktiviert die beiden Pull-Transistoren 12c und 12d. Die Stromzuleitung durch Bittransistoren 12a und 12b bewirkt über die Widerstände 14a und 14b eine Spannungserhöhung gegenüber der Abschlußspannung  $V_{tt}$  an dem Ausgang 20. In dem Fall der eingehenden Bitkombination 10 aktiviert der Umkodierer 16 lediglich einen der Pull-Transistoren 12a, was zu geringerer Stromzuleitung und geringeren Spannungserhöhungen an dem Ausgang 20 führt.

Um nun durch das in dem Umkodierer 16 implementierte Aktivierungsschema die gewünschten Ausgangssignalpegel zu erzielen, wie sie durch Tabelle 1 festgelegt sind, werden die MOS-Bauelementcharakteristika berücksichtigt. Da die Widerstandswerte der Widerstände 14a und 14b fest sind, wird die Einstellung der Kanalweiteneinstellung der Transistoren 12a - 12d derart vorgenommen, daß die durch Aktivierung derselben erzielten Stromstärken zur Zuleitung bzw. Ableitung ge-

- eignete Werte annehmen. Dies wird im folgenden analytisch am Beispiel der nMOS-Transistoren 12c und 12d veranschaulicht. Nur wenn das Verhältnis der Ableitungsströme zwischen der Aktivierung beider Transistoren 12c und 12d und der Aktivierung lediglich des Transistors 12c 3:1 beträgt, und dasselbe entsprechend für die Transistoren 12a und 12b gilt, kann sich eine solche Spannungspegelanordnung nach den Figuren 2a ergeben.
- 10 Die Einstellung der Kanalweiten ist in dem Fall, daß die nMOS-Transistoren 12c und 12d im Linearbereich arbeiten, nicht direkt proportional zum Strombeitrag des jeweiligen Transistors, so daß das Einstellen der Kanalweiten derselben auf ein Verhältnis von  $1:2 = W_{N1}:W_{N2}$  mit  $W_{N1}$  als der Kanalweite des Transistors 12c und  $W_{N2}$  als der Kanalweite des Transistors 12d nicht zu dem gewünschten Ergebnis führt, wie es in Figur 2a - 2c gezeigt ist, nämlich der äquidistanten Beabstandung der vier Signalpegel. Sich ergebende Abweichungen hiervon könnten empfangsseitig zu schwerwiegenden Übertragungsfehlern führen, was jedoch erfindungsgemäß vermieden wird.
- 20
- Am Beispiel der nMOS-Transistoren 12c und 12d wird im folgenden die Einstellung der Kanalweiten derselben in Abhängigkeit von der gewünschten Spannungsdifferenz  $\Delta V$  für den Fall beschrieben, daß beide in der Linearregion betrieben werden, die Spannungsversorgung  $V_{DDQ}$  2,5 Volt betrage und dementsprechend die Abschlußspannung  $V_{tt}$  1,25 Volt betrage. Die Schwellenspannung  $V_{th}$  der Transistoren 12c und 12d
- 25
- 30 betrage etwa 0,5 V.
- Da zur Berechnung der Transistorweiten lediglich die Aktivierungszustände der Bitkombinationen 00 und 01 relevant sind, in denen die pMOS-Transistoren 12a und 12b ausgeschaltet sind, beträgt die Drain-Spannung  $V_D$  an dem (im Fall der Eingangsbitkombination 01) bzw. den (im Fall der Eingangsbitkombination 01) aktivierten nMOS-Transistoren jedenfalls weniger als die Abschlußspannung  $V_{tt}$ , d.h.
- 35

$V_D < V_{tt}$ . Die Gate-Spannung  $V_G$  des bzw. der aktivierten nMOS-Transistoren beträgt, wie es Tabelle 2 zu entnehmen ist, 2,5 Volt, d.h.  $V_{DDQ}$ . Unter diesen Annahmen kann überprüft werden, ob die nMOS-Transistoren 12c und 12d im Linearbereich betrieben werden. Dies ist bekanntermaßen dann der Fall, wenn  $V_G - V_{th} > V_D$  gilt. Eine Überprüfung unter Verwendung der obigen Annahmen bestätigt dies. Die nMOS-Transistoren 12c und 12d werden folglich unter den obigen Annahmen im Linearbereich betrieben.

10

Wie es nun aus Figur 2a bzw. der Tabelle 1 hervorgeht, ist es in dem Fall der Bitkombination 00 gewünscht, daß der Signalspannungspegel an dem Ausgang 20 gegenüber der Abschlußspannung  $V_{tt}$  um  $3/2 \Delta V$  verringert ist. Diese Spannungsverringerng muß durch den Spannungsabfall über die Widerstände 14a und 14b bedingt sein, der sich durch die Stromableitung durch die aktivierten nMOS-Transistoren 12c und 12d ergibt. Der Strom  $I_R$  durch die beiden Widerstände 14a und 14b muß folglich  $I_R = \{3/2 \Delta V\} / \{2R\}$  betragen. Zudem ist er, da er ausschließlich durch die Transistoren 12c und 12d bedingt ist, gleich dem Strom  $I_D$  durch die Transistoren 12c und 12d, d.h.  $I_R = I_D$ . Folglich gilt in dem Fall der Bitkombination 00 und der zwei aktivierten nMOS-Transistoren 12c und 12d:

25

$$I_D = \{3/2 \Delta V\} / \{2R\} = 3 \Delta V / \{4R\} \quad \text{Gl. 1}$$

Entsprechend muß der Spannungsabfall an den Widerständen 14a und 14b in dem Fall der Bitkombination 01  $1/2 \Delta V$  betragen, so daß für den Strom  $I_D$  durch den, wie in Tabelle 2 gezeigt, einzig aktivierten nMOS-Transistor 12c gilt:

30

$$I_D = \{1/2 \Delta V\} / \{2R\} = \Delta V / \{4R\} \quad \text{Gl. 2}$$

35 Wie im vorhergehenden festgestellt, werden die beiden nMOS-Transistoren 12c und 12d unter den vorliegenden Annahmen im Linearbereich betrieben. In diesem Fall gilt für den Zusammenhang zwischen Drain-Strom  $I_D$ , Drain-Spannung  $V_D$ , Gate-

Spannung  $V_G$  und Schwellspannung  $V_{th}$  folgende bekannte Gleichung:

$$I_D = A \cdot W \cdot V_D [V_G - V_{th} - 1/2 V_D] \quad \text{Gl. 3}$$

5 wobei  $W$  die Transistorweite bezeichnet und  $A$  eine Proportionalitätskonstante ist. In dem Fall der Bitkombination 00 da beide nMOS-Transistoren 12c und 12d aktiviert sind, ist in Gleichung drei für die Transistorweite  $W$  die Summe der  
 10 Kanalweiten  $W_{N1}$  des Transistors 12c und der Kanalweite  $W_{N2}$  des Transistors 12d einzusetzen, d.h.  $W = W_{N1} + W_{N2}$ , während in dem Fall der Bitkombination 01, da lediglich der nMOS-Transistor 12c aktiviert ist, für die Transistorweite  $W$  lediglich die Kanalweite  $W_{N1}$  einzutragen ist, d.h.  $W = W_{N1}$ . Im  
 15 letztgenannten Fall ermöglicht Gleichung 3 bereits die Berechnung eines einzustellenden Wertes für  $W_{N1}$  für eine gegebene Spannungsdifferenz  $\Delta V$ .

20 Einfügen des rechten Ausdrucks der Gleichung 3 in die Gleichungen 1 und 2 für  $I_D$  und Ersetzung der Kanalweite  $W$  durch  $W_{N1} + W_{N2}$  in dem Fall von Gleichung 1 und durch  $W_{N1}$  in dem Fall von Gleichung 2 und Division der sich ergebenden Gleichung 1 durch die sich ergebende Gleichung 2 und Auflösen nach dem Verhältnis  $W_{N2}/W_{N1}$  ergibt dann:

$$\frac{W_{N2}}{W_{N1}} = 3 \frac{V_{DDQ} - \Delta V}{V_{DDQ} - 3\Delta V} \frac{3V_{DDQ} - 4V_{th} + \Delta V}{3V_{DDQ} - 4V_{th} + 3\Delta V} - 1 \quad \text{Gl. 4}$$

25 Ähnliche Überlegungen führen zu dem Ergebnis, daß das Verhältnis zwischen der Kanalweite  $W_{P1}$  des pMOS-Transistors 12a und  $W_{P2}$  des pMOS-Transistors 12b auf entsprechende Weise  
 30 abhängig von der gewünschten Spannungsdifferenz  $\Delta V$  einzustellen ist:

$$\frac{W_{P2}}{W_{P1}} = 3 \frac{V_{DDQ} - \Delta V}{V_{DDQ} - 3\Delta V} \frac{3V_{DDQ} - 4V_{th} + \Delta V}{3V_{DDQ} - 4V_{th} + 3\Delta V} - 1 \quad \text{Gl. 5}$$

Die Einstellung der Kanalweiten der Transistoren 12a - 12d ist folglich nach den Gleichungen 4 und 5 vorgesehen und hängt von der gewünschten Spannungsdifferenz  $\Delta V$  ab. Tabelle 3 zeigt für 3 exemplarische Spannungsdifferenzen  $\Delta V$  (linke Spalte) das einzustellende Kanalweitenverhältnis  $W_{N2}/W_{N1}$  (mittlere Spalte) und das einzustellende Kanalweitenverhältnis  $W_{P2}/W_{P1}$  (rechte Spalte), welche letztere sich durch einsetzen der entsprechenden Spannungsdifferenz  $\Delta V$  in Gleichungen 4 und 5 ergeben.

Tabelle 3

| $\Delta V$ | $W_{N2}/W_{N1}$ | $W_{P2}/W_{P1}$ |
|------------|-----------------|-----------------|
| 0,1V       | 2,16            | 2,16            |
| 0,2V       | 2,39            | 2,39            |
| 0,4V       | 3,27            | 3,27            |

Durch analytische oder über Schaltungssimulation erhaltene Berücksichtigung von beispielsweise parasitären Effekten können die Gleichungen 4 und 5 weiter verbessert werden. Jedenfalls kann, indem die Transistorweiten der Transistoren 12a - 12d auf Kanalweitenverhältnisse eingestellt werden, wie sie durch die Gleichungen 4 und 5 festgelegt werden, die erwünschte Signalpegelkonfiguration von Figur 2a zumindest im wesentlichen erzielt werden.

In Bezug auf die vorhergehende Beschreibung wird darauf hingewiesen, daß im vorhergehenden lediglich exemplarisch davon ausgegangen wurde, daß bei Aktivierung der nMOS-Transistoren als Gates-Spannung  $V_G$  die Versorgungsspannung  $V_{DDQ}$  und für die Aktivierung der pMOS-Transistoren 12a bzw. 12b als Gate-Spannung 0 Volt verwendet wird. Andere geregelte Spannungen sind ebenfalls möglich. Unter dieser Verallgemeinerung ergibt sich für die einzustellenden Kanalweitenverhältnisse:



$$\frac{W_{P2}}{W_{P1}} = \frac{W_{N2}}{W_{N1}} = 3 \frac{V_{DDQ} - \Delta v}{V_{DDQ} - 3\Delta v} \frac{4V_G - 4V_{th} - V_{DDQ} + \Delta v}{4V_G - 4V_{th} - V_{DDQ} + 3\Delta v} - 1 \quad \text{Gl. 6}$$

Die im vorhergehenden exemplarisch beschriebene Treiber-  
 schnittstelle ist folglich als Treiberstufe in einer „Span-  
 5 nungs-Modus“-4-Pegel-Schnittstelle einsetzbar, also als ein  
 4-Pegel-SSTL-Treiber. Sie kann damit auch der DDR-SDRAM-  
 SSTL-Schnittstellen-Spezifikation entsprechen. Zur geeig-  
 nerten Dimensionierung der Push- bzw. Pull-Feldeffekttran-  
 10 sistoren wurde die Abhängigkeit von der gewünschten Span-  
 nungsdifferenz zwischen den gewünschten Spannungspegeln be-  
 rücksichtigt. Zudem wurde auch berücksichtigt, daß die  
 Transistoren im Linearbetrieb arbeiten. Im Gegensatz zu der  
 Kanalweiteneinstellung nach der in der Beschreibungseinlei-  
 15 tung beschriebenen US-6,140,841 ist das Verhältnis größer  
 2.

In Bezug auf die vorhergehende Beschreibung wird noch dar-  
 auf hingewiesen, daß im vorhergehenden die Treiberschaltung  
 den Schaltungsteil 14 nicht umfaßte. Nach einer erweiterten  
 20 Sichtweise kann jedoch die Treiberschaltung als auch den  
 Schaltungsteil 14 umfassend angesehen werden, quasi als  
 Treiberstufenvorrichtung. Diese Treiberstufenvorrichtung  
 besäße die Widerstände extern zur eigentlichen Treiber-  
 schaltung, die beispielsweise als integrierte Schaltung im-  
 25 plementiert wäre, während die Widerstände als bewußt reali-  
 sierte Komponenten auf einer Platine vorgesehen wären. Die  
 kapazitive Last stellt beispielsweise lediglich ein Ersatz-  
 schaltbild für die verteilte Last der Platine/Konnektoren  
 usw. dar.

## Patentansprüche

1. Treiberstufe zum Treiben eines Ausgangs (20) auf einen von n Pegeln, die jeweils um eine Spannungsdifferenz von  $\Delta V$  voneinander beabstandet sind, mit folgenden Merkmalen:

eine Mehrzahl von Feldeffekttransistoren (12a, 12b, 12c, 12d) zum Treiben des Ausgangs (20) durch Zuleiten oder Ableiten eines Stroms zu oder von dem Ausgang (20),

wobei das Verhältnis der Kanalweiten zumindest zweier Feldeffekttransistoren (12a, 12b, 12c, 12d), die beide entweder zum Zuleiten oder zum Ableiten von Strom dienen, abhängig von dem Wert der Spannungsdifferenz eingestellt ist.

2. Treiberstufe gemäß Anspruch 1, die ferner folgendes Merkmal aufweist:

eine Abschlußschaltung (14), die mit dem Ausgang (20) verbunden ist und eine Einrichtung (14c) zum Anlegen einer Abschlußspannung und einen zwischen die Einrichtung (14c) zum Anlegen einer Abschlußspannung und den Ausgang (20) in Reihe geschalteten Abschlußwiderstand (14a, 14b) aufweist.

3. Treiberstufe gemäß Anspruch 1 oder 2, bei der die Mehrzahl von Feldeffekttransistoren (12a - 12d) folgende Merkmale aufweist:

einen ersten und einen zweiten Feldeffekttransistor (12a, 12b), die parallel zueinander zwischen den Ausgang (20) und eine Versorgungsspannung geschaltet sind, und

einen dritten und vierten Feldeffekttransistor (12c, 12d), die parallel zueinander zwischen den Ausgang (20) und Masse geschaltet sind.

4. Treiberstufe gemäß einem der Ansprüche 1 bis 3, die ferner folgendes Merkmal aufweist:

eine Ansteuereinrichtung (16) zum Ein- und Ausschalten der Feldeffekttransistoren (12a - 12d) abhängig von einer Mehrzahl von Eingangsbitsignalen gemäß einer Zuordnungsvorschrift, die jeder Bitkombination von Bitwerten der Eingangsbitsignalen eine Auswahl einzuschaltender und auszuschaltender der Feldeffekttransistoren (12a - 12d) zuordnet.

5. Treiberstufe gemäß einer Kombination der Ansprüche 1 bis 4, bei der die zumindest zwei Feldeffekttransistoren zwei Feldeffekttransistoren des n-Kanal- oder p-Kanal-Typs sind, die eine Schwellspannung  $U_{th}$  aufweisen, und bei der die Ansteuereinrichtung (16) ausgebildet ist, um bei einer Bitkombination einen ersten der zwei Feldeffekttransistoren einzuschalten und den anderen auszuschalten, bei einer anderen Bitkombination beide der zwei Feldeffekttransistoren einzuschalten und beim Einschalten eines jeweiligen der zwei Feldeffekttransistoren eine Gate-Spannung  $U_G$  an eine Source/Gate-Strecke des jeweiligen der zwei Feldeffekttransistoren anzulegen, wobei die Abschlußspannung etwa gleich der Hälfte der Versorgungsspannung ist, und das Verhältnis nach folgender Vorschrift eingestellt ist:


$$\frac{W_2}{W_1} = 3 \frac{V_{DDQ} - \Delta v}{V_{DDQ} - 3\Delta v} \frac{4V_G - 4V_{th} - V_{DDQ} + \Delta v}{4V_G - 4V_{th} - V_{DDQ} + 3\Delta v} - 1$$

- wobei  $W_1$  die Transistorweite des ersten der zwei Feldeffekttransistoren,  $W_2$  die Transistorweite des anderen der zwei Feldeffekttransistoren,  $V_{DDQ}$  die Versorgungsspannung,  $\Delta v$  die Spannungsdifferenz,  $V_{th}$  die Schwellspannung und  $V_G$  die vorbestimmte Source/Gate-Spannung ist.


6. Treiberstufe gemäß einem der Ansprüche 1 bis 5, bei der die zumindest zwei Feldeffekttransistoren im Linearbereich betrieben werden.

### Zusammenfassung

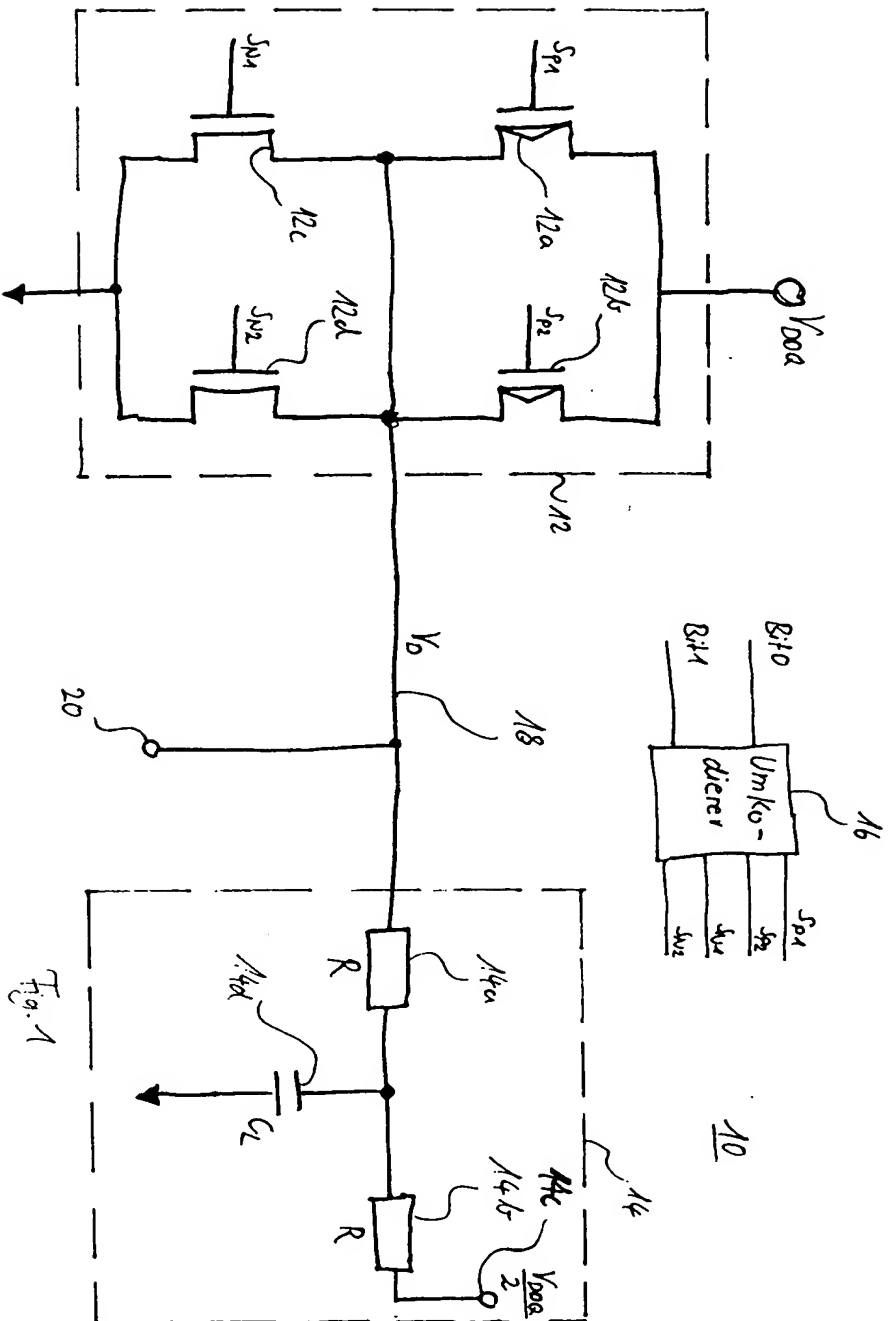
Eine erfindungsgemäße Treiberstufe (10) zum Treiben eines Ausgangs (20) auf einen von n Pegeln, die jeweils auf eine Spannungsdifferenz von  $\Delta V$  voneinander beabstandet sind, umfaßt eine Mehrzahl von Feldeffekttransistoren (12a-12d) zum Treiben des Ausgangs (20) durch Zuleiten oder Ableiten eines Stroms zu oder von dem Ausgang (20), wobei das Verhältnis der Kanalweiten zumindest zweier Feldeffekttransistoren (12ab, 12cd), die beide entweder zum Zuleiten oder zum Ableiten von Strom dienen, abhängig von dem Wert der Spannungsdifferenz eingestellt ist.



15 Fig. 1

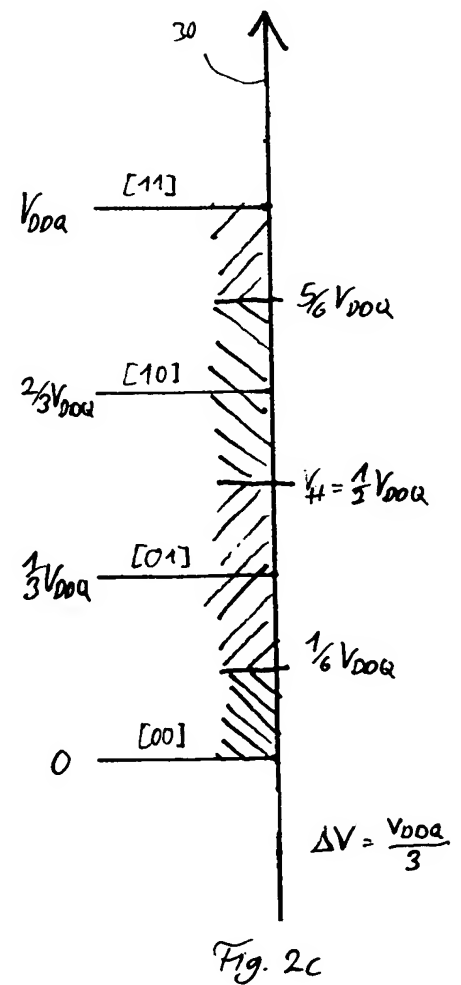
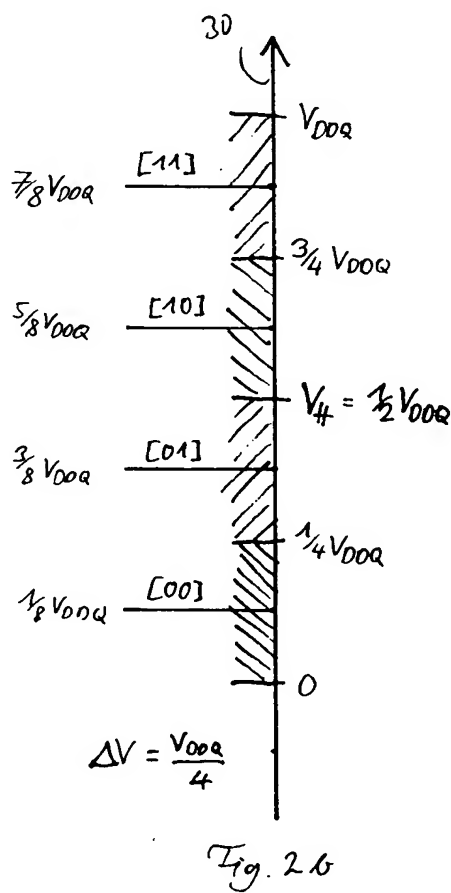
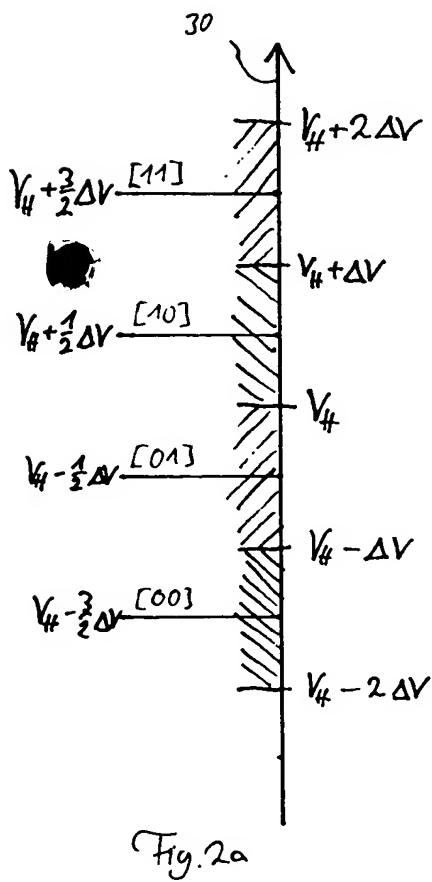
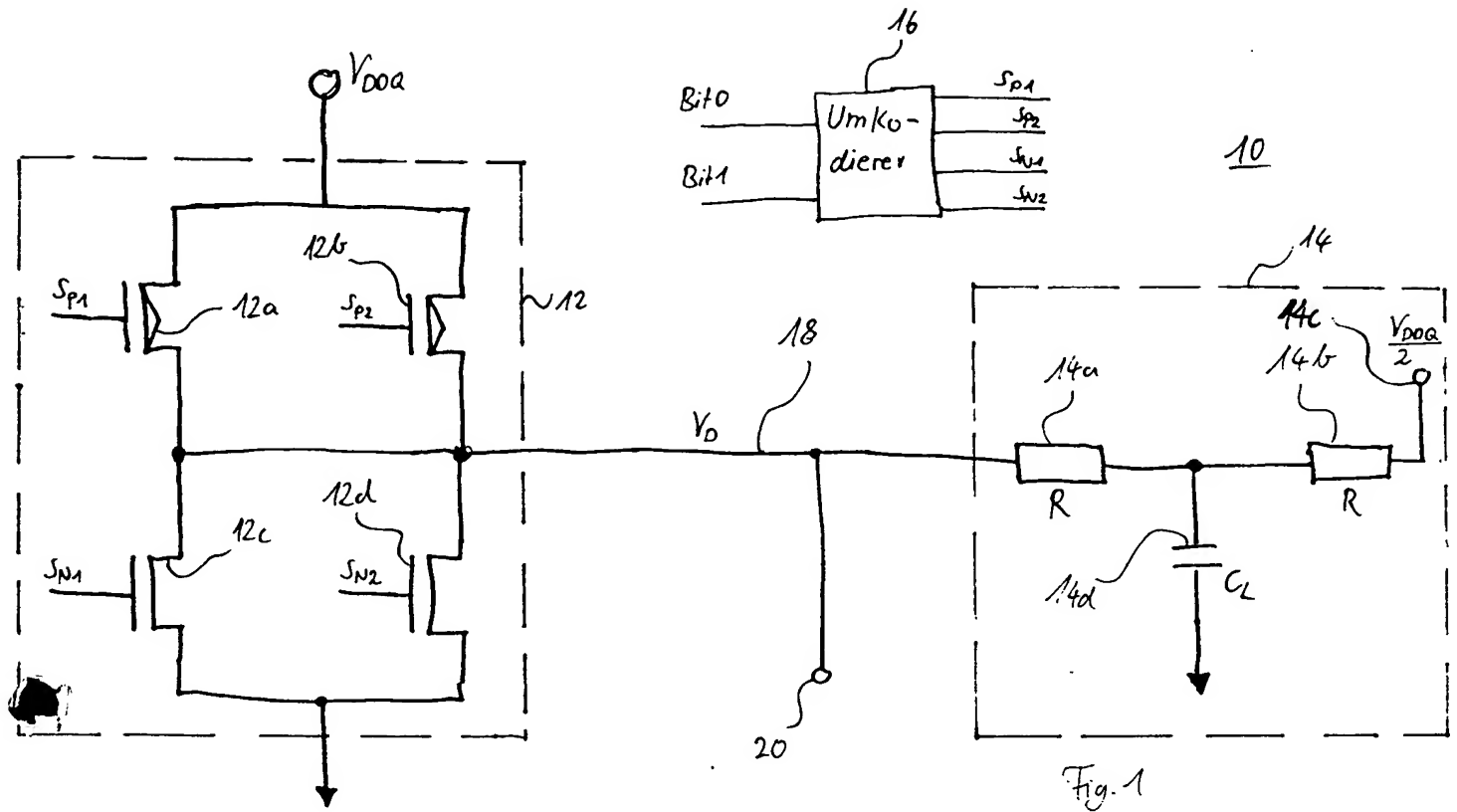


Figur zur Zusammenfassung



## Bezugszeichenliste

|    |     |  |
|----|-----|--|
|    | 10  | Treiberstufe                               |
|    | 12  | Push/Pull-Schaltungsteil                   |
| 5  | 12a | pMOS-Transistor                            |
|    | 12b | pMOS-Transistor                            |
|    | 12c | nMOS-Transistor                            |
|    | 12d | nMOS-Transistor                            |
|    | 14  | Übertragungsleitungsabschlußschaltungsteil |
| 10 | 14a | Abschlußwiderstand                         |
|    | 14b | Abschlußwiderstand                         |
|    | 14c | Abschlußspannungsanschluß                  |
|    | 14d | Kapazität                                  |
|    | 16  | Umkodierer                                 |
| 15 | 18  | Übertragungsleitung                        |
|    | 20  | Ausgang                                    |
|    | 30  | Spannungsachse                             |





Creation date: 12-08-2003  
Indexing Officer: EGEDLU - ESKINDER GEDLU  
Team: OIPEScanning  
Dossier: 10608104

Legal Date: 11-14-2003

| No. | Doccode | Number of pages |
|-----|---------|-----------------|
| 1   | PEFR    | 3               |
| 2   | OATH    | 4               |

Total number of pages: 7

Remarks:

Order of re-scan issued on .....